

EXAMEN FINAL DE FUNDAMENTOS FÍSICOS Y TECNOLÓGICOS DE LA INFORMÁTICA
CONVOCATORIA EXTRAORDINARIA DE JULIO DE 2010

Apellidos: _____ Nombre: _____
 Grupo: _____ D.N.I. o N° de matrícula: _____

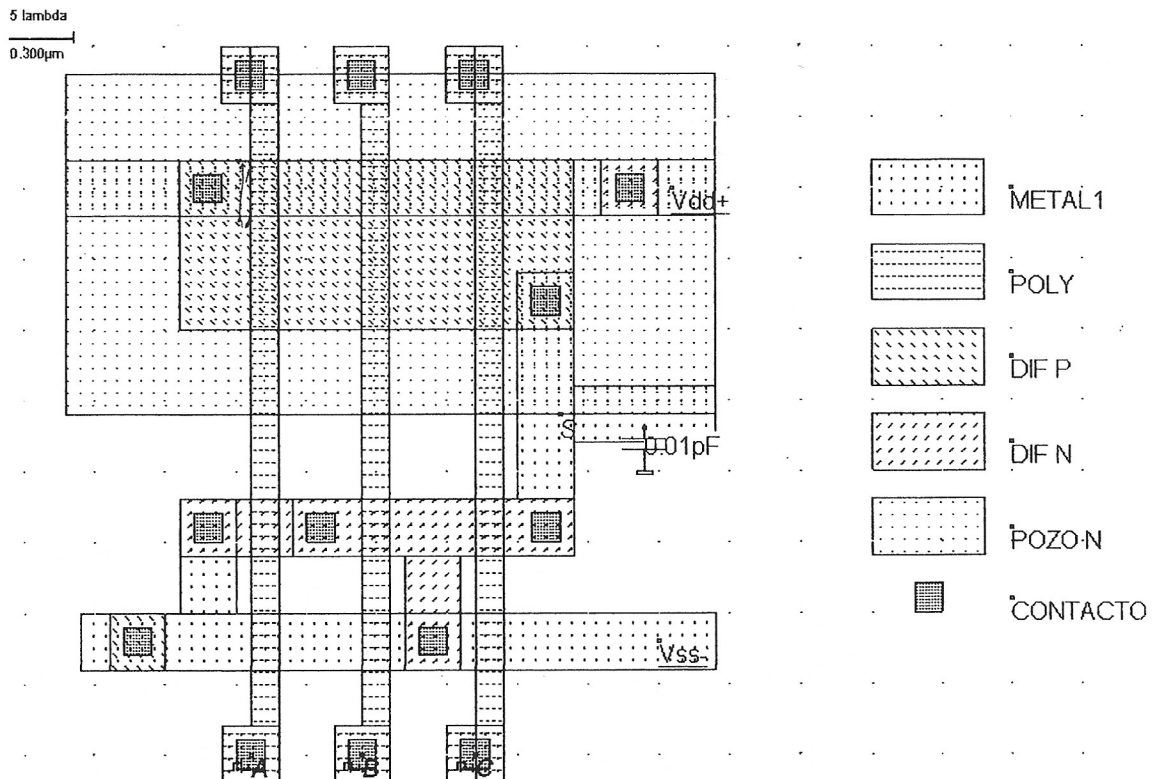
Publicación de las calificaciones: 12/07/2010, 14:00 h

Fecha de revisión: 14/07/2010, 11:00 h

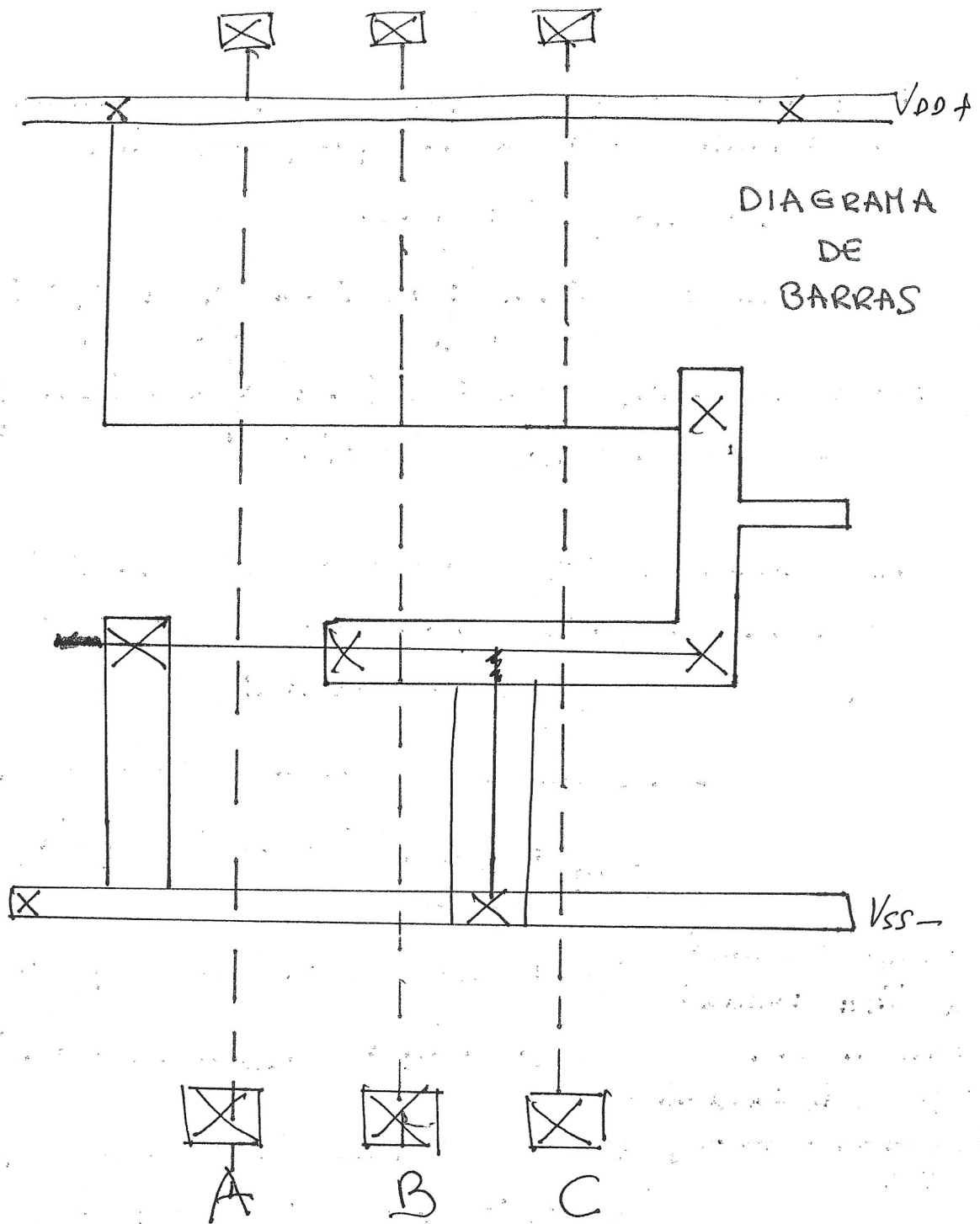
Ejercicio N° 4 (10 puntos):

Dado el circuito de la figura se pide:

- Diagrama de barras.
- Diagrama de transistores.
- Función lógica.
- Como se puede observar la salida está conectada a una capacidad de 0.01pF. Suponiendo que la resistencia en ohmios por cuadro de los transistores pMOS es de $3K\Omega$ y que la de los transistores nMOS es de $1K\Omega$. Hallar los tiempos de conmutación T_{LH} y T_{HL} en el caso peor.
- Suponiendo que la capacidad por unidad de área de los electrodos de puerta de los transistores es de $10^{-15}F/\lambda^2$, hallar la capacidad que presenta cada una de las entradas.

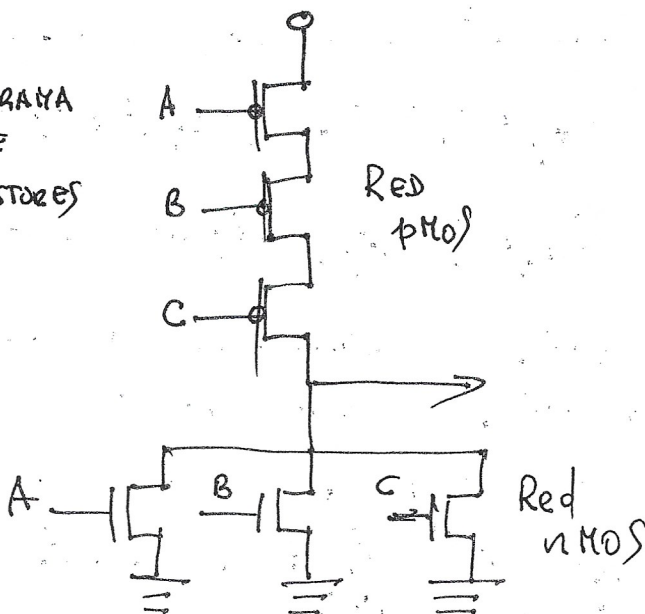


a)



b)

Diagrama de Transistores



c) Es una puerta NOR de 3 entradas

$$S = A + B + C$$

(Función lógica)

d)

* En primer lugar hay que hallar las resistencias de los transistores. Para los pMOS del dibujo se obtiene

$$L = 2\lambda, \quad W = 12\lambda$$

$$R_p = 3\text{K}\Omega \times \left[\frac{L}{W} \right] = 3\text{K}\Omega \times \frac{2}{12} = 0,5\text{K}\Omega$$

Para los nMOS $R_n = 1\text{K}\Omega \times \left[\frac{L}{W} \right] = 1\text{K}\Omega \times \frac{2}{4} = 0,5\text{K}\Omega$
 siendo $L = 2\lambda$ y $W = 4\lambda$

Las resistencias R_p y R_n son iguales, pero sin embargo para los pMOS están en serie y para los nMOS en paralelo, por lo tanto:

* La constante de tiempo de subida es

$$\tau_{LH} = (3 \times 0,5\text{K}\Omega) \times 0,01\text{pF} = 0,015\text{ns} = 15\text{ps}$$

* El tiempo de retardo será $t_r = \text{constante de tiempo} \times \ln 2$
 (50% de la transición alto-baja o baja-alto)

El tiempo de conmutación es

$$\rightarrow T_{LH} = \tau_{LH} \times \ln 2 = 15 \ln 2 \text{ ps}$$

Para la transición de bajada el caso peor es que solo conduzca el caso peor, un solo transistor, luego

La constante de tiempo de bajada es

$$\tau_{HL} = 0,5\text{K}\Omega \times 0,01\text{pF} = 0,005\text{ns} = 5\text{ps}$$

el $T_{HL} = 5 \ln 2 \text{ ps}$ (tiempo de conmutación)

e) • El área de los transistores pMOS es $2\lambda \times 12\lambda = 24\lambda^2$

• El área de los transistores nMOS es $2\lambda \times 4\lambda = 8\lambda^2$

La capacidad total de cualquiera de las entradas es

$$C = \underbrace{(8 + 24)}_{\text{SUMA DE ÁREAS}} \lambda^2 \times \left[\frac{10^{-15} \text{ F}}{\lambda^2} \right] = 0,032 \text{ pF}$$